

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) SEMICONDUCTOR RECTIFIER DIODE; POWER-SUPPLY APPARATUS

AND COMPUTER USING IT

(11) 3-105975-(A) (43) 2.5.1991 (19) JP'

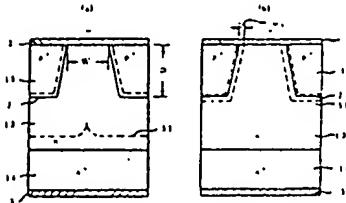
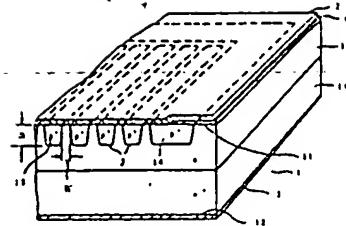
(21) Appl. No. 64-242035 (22) 20.9.1989

(71) HITACHI LTD (72) HIROSHI KOSAKA(4)

(51) Int. Cl. H01L29/48, H02M3/28

PURPOSE: To achieve a low loss of a semiconductor rectifier diode by specifying the following: an interval between third stripe-shaped semiconductor regions; their depth; and a width of a depletion layer formed between a first semiconductor region and the third semiconductor regions.

CONSTITUTION: A semiconductor substrate 1 is provided with the following: a first n-type semiconductor region 13 adjacent to the surface 11; a second n⁺ type semiconductor region 14 adjacent to the main surface 12 on the other side; and a plurality of third p⁺ type stripe-shaped semiconductor regions 15. A mutual interval between the third semiconductor regions 15 is designated as W; a depth of the third semiconductor regions 15 is designated as D; a width of a depletion layer which is spread to the side of the first semiconductor region 13 by a diffusion potential of a p-n junction J formed between the first semiconductor region 13 and the third semiconductor regions 15 is designated as w₀. Then, the third semiconductor regions 15 are formed so as to satisfy a relationship of $2w_0 < W \leq 3D$. By this constitution, a surface field strength on the semiconductor side of a Schottky junction and a reverse leakage current are reduced sharply, and a low loss can be achieved.



⑫ 公開特許公報 (A) 平3-105975

⑬ Int.CI. 3

H 01 L 29/48
H 02 M 3/28

識別記号

序内整理番号

F 7638-5F
F 7829-5H

⑭ 公開 平成3年(1991)5月2日

審査請求 未請求 請求項の数 16 (全14頁)

⑮ 発明の名称 半導体整流ダイオード及びそれを使つた電源装置並びに電子計算機

⑯ 特 願 平1-242035

⑯ 出 願 平1(1989)9月20日

⑰ 発明者 小坂 広 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑰ 発明者 村上 進 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑰ 発明者 高田 正典 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑰ 発明者 柳沼 隆男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑯ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑯ 代理人 弁理士 小川 勝男 外2名

最終頁に続く

明細書

1. 発明の名称

半導体整流ダイオード及びそれを使つた電源装置並びに電子計算機

2. 特許請求の範囲

1. 一对の主表面を有し、一方の主表面間に一方の主表面に隣接する一方導電型の第1の半導体領域と、他方の主表面及び第1の半導体領域に隣接し、第1の半導体領域より高不純物濃度を有する一方導電型の第2の半導体領域と、一方の主表面から第1の半導体領域内に延在し、一方の主表面側から見たとき略同じ大きさの複数個の欠落部を有する他方導電型の第3の半導体領域とを有する半導体基体と、

半導体基体の一方の主表面上に設けられ、第3の半導体領域の欠落部に露出する第1の半導体領域との界面でショットキー接合を形成し第3の半導体領域にオーミック接触する第1の主電極と、

半導体基体の他方の主表面において、第2の

半導体領域にオーミック接触する第2の主電極と、

を具備し、第3の半導体領域の欠落部の幅をW、その深さをD、第1の半導体領域と第3の半導体領域との間に形成されるpn接合の拡散電位によって第1の半導体領域側に並ぶ空乏層の幅をwとしたとき、 $2w < W \leq 3D$ の関係を有することを特徴とする半導体整流ダイオード。

2. 請求項1において、第3の半導体領域が長手方向を揺れかつ略等間隔を有して並設されたストライプ状部分と、ストライプ状部分の長手方向の両端において各ストライプ状部分相互を連結する連結部分とから成つていることを特徴とする半導体整流ダイオード。

3. 請求項1において、第3の半導体領域の欠落部が一方の主表面側から見たとき多角形状を有することを特徴とする半導体整流ダイオード。

4. 請求項1、2または3において、第3の半導体領域には一方の主表面に開口を有する凹部が設けられ、凹部表面が第1の半導体領域と第3

の半導体領域との間に形成される $p-n$ 接合から離れていることを特徴とする半導体整流ダイオード。

5. 請求項 4 において、凹部に導電性物質が充填されていることを特徴とする半導体整流ダイオード。

6. 請求項 1, 2, 3, 4 または 5 において、第 1 の主電極が半導体基体に接する界面でバリアハイドの異なる複数の金属からなっていることを特徴とする半導体整流ダイオード。

7. 一对の主表面を有し、一对の主表面間に一方の主表面に隣接する一方導電型の第 1 の半導体領域、他方の主表面及び第 1 の半導体領域に隣接し、第 1 の半導体領域より高不純物濃度を有する一方導電型の第 2 の半導体領域、一方の主表面から第 1 の半導体領域内に延在し、一方の主表面から見たとき略一定間隔で並設された複数個の他方導電型の第 3 の半導体領域、及び一方の主表面から第 1 の半導体領域内に延在し、一方の主表面から見たとき第 3 の半導体領域を

及び第 4 の半導体領域との間が略等間隔となるように並設配置されていることを特徴とする半導体整流ダイオード。

9. 請求項 7 において、第 3 の半導体領域が多角形状を有し、相互間及び第 4 の半導体領域との間が略等間隔となるように並設配置されていることを特徴とする半導体整流ダイオード。

10. 請求項 7, 8 または 9 において、第 3 の半導体領域及び第 4 の半導体領域には一方の主表面に開口を有する凹部が設けられ、凹部表面が第 1 の半導体領域と第 3 の半導体領域及び第 4 の半導体領域との間に形成される $p-n$ 接合から離れていることを特徴とする半導体整流ダイオード。

11. 請求項 10 において、凹部に導電性物質が充填されていることを特徴とする半導体整流ダイオード。

12. 請求項 7, 8, 9, 10 または 11 において、第 1 の主電極が半導体基体に接する界面でバリアハイドの異なる複数の金属からなっているこ

それから離れて包囲する他方導電型の第 4 の半導体領域を有する半導体基体と、

半導体基体の一方の主表面上に設けられ、第 1 の半導体領域との界面でショットキー接合を形成し、第 3 の半導体領域及び第 4 の半導体領域にオーミック接觸する第 1 の主電極と、

半導体基体の他方の主表面において、第 2 の半導体領域にオーミック接觸する第 2 の主電極と、

を具備し、第 3 の半導体領域相互間及び第 3 の半導体領域と第 4 の半導体領域との間の幅を W 、第 3 半導体領域及び第 4 の半導体領域の深さを D 、第 1 の半導体領域と第 3 の半導体領域及び第 4 の半導体領域との間に形成される $p-n$ 接合の拡散電位によって第 1 の半導体領域側に拡がる空乏層の幅を w 。としたとき、 $2w < W \leq 3D$ の関係を有することを特徴とする半導体整流ダイオード。

8. 請求項 7 において、第 3 の半導体領域がストライプ形状を有し、長手方向を揺えかつ相互間

とを特徴とする半導体整流ダイオード。

13. 直流電源に接続される一对の入力端子と、負荷に接続される一对の出力端子と、直列接続して入力端子間に接続された第 1 及び第 2 の分割用コンテンサと、直列接続して入力端子間に接続された交互にスイッチング動作をする第 1 及び第 2 のスイッチング素子と、第 1 及び第 2 の分割用コンテンサの接続点と第 1 及び第 2 のスイッチング素子の接続点との間に一次巻線が接続され、出力端子の一方側に二次巻線の中点が接続された変圧器と、変圧器の二次巻線の両端と出力端子の他方との間に整流方向を揺えて接続した第 1 及び第 2 のダイオードとを具備し、第 1 及び第 2 のダイオードが、一对の主表面を有し、一对の主表面間に一方の主表面に隣接する一方導電型の第 1 の半導体領域、他方の主表面及び第 1 の半導体領域に隣接し、第 1 の半導体領域より高不純物濃度を有する一方導電型の第 2 の半導体領域、一方の主表面から第 1 の半導体領域内に延在し、一方の主表面側から見た

とき略同じ大きさの複数個の欠陥部を有する他方導電型の第3の半導体領域とを有する半導体基体と、半導体基体の一方の主表面上に設けられ、第3の半導体領域の欠陥部に露出する第1の半導体領域との界面でショットキー接合を形成し第3の半導体領域にオーミック接觸する第1の主電極と、半導体基体の他方の主表面上において、第2の半導体領域にオーミック接觸する第2の主電極とを具備し、第3の半導体領域の欠陥部の幅をW、その深さをD、第1の半導体領域と第3の半導体領域との間に形成されるp-n接合の拡散電位によって第1の半導体領域側に拡がる空乏層の幅をw₀としたとき、 $2w_0 < W \leq 3D$ の関係を有することを特徴とする電源装置。

14. 直流電源に接続される一对の入力端子と、負荷に接続される一对の出力端子と、直列接続して入力端子間に接続された第1及び第2の分割用コンデンサと、直列接続して入力端子間に接続された交互にスイッチング動作をする第1及

び第2のスイッチング素子と、第1及び第2の分割用コンデンサの接続点と第1及び第2のスイッチング素子の接続点との間に一次巻線が接続され、出力端子の一方側に二次巻線の中点が接続された変圧器と、変圧器の二次巻線の両端と出力端子の他方との間に整流方向を揃えて接続した第1及び第2のダイオードとを具備し、第1及び第2のダイオードが、一对の主表面を有し、一对の主表面間に一方の主表面に隣接する一方導電型の第1の半導体領域、他方の主表面及び第1の半導体領域に隣接し、第1の半導体領域より高不純物濃度を有する一方導電型の第2の半導体領域、一方の主表面から第1の半導体領域内に延在し、一方の主表面から見たとき略一定間隔で並設された複数個の他方導電型の第3の半導体領域、及び一方の主表面から第1の半導体領域内に延在し、一方の主表面から見たとき第3の半導体領域をそれらから離れて包囲する他方導電型の第4の半導体領域を有する半導体基体と、半導体基体の一方の主表面上

に設けられ、第1の半導体領域との界面でショットキー接合を形成し、第3の半導体領域及び第4の半導体領域にオーミック接觸する第1の主電極と、半導体基体の他方の主表面上において、第2の半導体領域にオーミック接觸する第2の主電極と、を具備し、第3の半導体領域相互間及び第3の半導体領域と第4の半導体領域との間の幅をW、第3の半導体領域及び第4の半導体領域の深さをD、第1の半導体領域と第3の半導体領域及び第4の半導体領域との間に形成されるp-n接合の拡散電位によって第1の半導体領域側に拡がる空乏層の幅をw₀としたとき、 $2w_0 < W \leq 3D$ の関係を有することを特徴とする電源装置。

15. 入力端子が商用電源に接続されるAC・DCコンバータと、AC・DCコンバータの出力端子に接続され、AC・DCコンバータの直流出力を所望の直流電圧に変換するDC・DCコンバータと、DC・DCコンバータの出力端子に接続された論理装置とを具備し、DC・DCコ

ンバータが、AC・ACコンバータの出力端子に接続される一对の入力端子と、論理装置に接続される一对の出力端子と、直列接続して入力端子間に接続された第1及び第2の分割用コンデンサと、直列接続して入力端子間に接続された交互にスイッチング動作をする第1及び第2のスイッチング素子と、第1及び第2の分割用コンデンサの接続点と第1及び第2のスイッチング素子の接続点との間に一次巻線が接続され、出力端子の一方側に二次巻線の中点が接続された変圧器と、変圧器の二次巻線の両端と出力端子の他方との間に整流方向を揃えて接続した第1及び第2のダイオードとを有し、第1及び第2のダイオードが、一对の主表面を有し、一对の主表面間に一方の主表面に隣接する一方導電型の第1の半導体領域、他方の主表面及び第1の半導体領域に隣接し、第1の半導体領域より高不純物濃度を有する一方導電型の第2の半導体領域、一方の主表面から第1の半導体領域内に延在し、一方の主表面側から見たとき略同じ

大きな複数個の欠陥部を有する他方導電型の第3の半導体領域とを有する半導体基体と、半導体基体の一方の主表面上に設けられ、第3の半導体領域の欠陥部に露出する第1の半導体領域との界面でショットキー接合を形成し第3の半導体領域にオーミック接觸する第1の主電極と、半導体基体の他方の主表面上において、第2の半導体領域にオーミック接觸する第2の主電極とを具備し、第3の半導体領域の欠陥部の幅をW、その深さをD、第1の半導体領域と第3の半導体領域との間に形成されるp-n接合の拡散電位によって第1の半導体領域側に拡がる空乏層の幅をw₀としたとき、 $2w_0 < W \leq 3D$ の関係を有することを特徴とする電子計算機。

16. 入力端子が商用電源に接続されるAC・DCコンバータと、AC・DCコンバータの出力端子に接続され、AC・DCコンバータの直流出力を所望の直流電圧に変換するDC・DCコンバータと、DC・DCコンバータの出力端子に接続された論理装置とを具備し、DC・DCコ

ンバータが、AC・ACコンバータの出力端子に接続される一对の入力端子と、論理装置に接続される一对の出力端子と、直列接続して入力端子間に接続された第1及び第2の分割用コンデンサと、直列接続して入力端子間に接続された交互にスイッチング動作をする第1及び第2のスイッチング素子と、第1及び第2の分割用コンデンサの接続点と第1及び第2のスイッチング素子の接続点との間に一次巻線が接続され、出力端子の一方側に二次巻線の中点が接続された変圧器と、変圧器の二次巻線の両端と出力端子の他方との間に整流方向を揃えて接続した第1及び第2のダイオードとを有し、第1及び第2のダイオードが、一方の主表面を有し、一方の主表面間に一方の主表面に隣接する一方導電型の第1の半導体領域、他方の主表面及び第1の半導体領域に隣接し、第1の半導体領域より高不純物濃度を有する一方導電型の第2の半導体領域、一方の主表面から第1の半導体領域内に延在し、一方の主表面から見たとき略一定間に

隔て並設された複数個の他方導電型の第3の半導体領域、及び一方の主表面から第1の半導体領域内に延在し、一方の主表面から見たとき第3の半導体領域をそれから離れて包囲する他方導電型の第4の半導体領域を有する半導体基体と、半導体基体の一方の主表面上に設けられ、第1の半導体領域との界面でショットキー接合を形成し、第3の半導体領域及び第4の半導体領域にオーミック接觸する第1の主電極と、半導体基体の他方の主表面上において、第2の半導体領域にオーミック接觸する第2の主電極と、を具備し、第3の半導体領域相互間及び第3の半導体領域と第4の半導体領域との間の幅をW、第3の半導体領域及び第4の半導体領域の深さをD、第1の半導体領域と第3の半導体領域及び第4の半導体領域との間に形成されるp-n接合の拡散電位によって第1の半導体領域側に拡がる空乏層の幅をw₀としたとき、 $2w_0 < W \leq 3D$ の関係を有することを特徴とする電子計算機。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は半導体装置特に順方向電圧降下が低くかつ逆方向リーク電流の少ない低損失ダイオード及びそれを使った電源装置並びに電子計算機に関する。

【従来の技術】

半導体整流ダイオードは、交流を直流に変換する回路素子で、直流で動作する電気装置または電子装置の電源部に多数個使用されている。近年、電気装置及び電子装置の半導体化、IC化、更にはLSI化が図られ装置の省エネルギー化が進むにつれて電源部における電力消費が装置の効率を左右する重要なファクタとなつて來ている。電源部の電力消費を低減するためには、電源部の主たる構成要素である半導体整流ダイオードの低損失化が必要である。半導体整流ダイオードの低損失化のための一方法として、p-n接合ダイオードに代えてショットキー接合ダイオードを使用することが知られている。しかしながら、ショットキー

接合ダイオードは順方向電圧降下が0.5~0.8Vが低いため順方向損失の低減を図ることができるが、逆方向リーク電流がp-n接合ダイオードに比較して2桁以上大きいことから逆方向損失が増加し、順方向損失と逆方向損失とを合計した総損失はp-n接合ダイオードに比較して僅かしか低減できないのである。そこで、ショットキー接合ダイオードの逆方向リーク電流の低減を図る構造として、特公昭59-35183号公報、特開昭56-2672号公報、特開昭59-115566号公報及び特開昭60-74582号公報に開示されているように、ショットキー接合に隣接して基板領域とは反対導電型の半導体領域を所定間隔で並設し、逆方向電圧印加時に半導体領域と基板領域との間のp-n接合が逆バイアスされて基板領域に拡がる空乏層によって半導体領域相互間がピンチオフされるように構成することが知られている。

〔発明が解決しようとする課題〕

上述の逆方向リーク電流の流通路を空乏層でピンチオフする構造のショットキー接合ダイオード

び第1の半導体領域に隣接し、第1の半導体領域より高不純物濃度を有する一方導電型の第2の半導体領域、一方の主表面から第1の半導体領域内に延在し、一方の主表面側から見たとき所定の間隔を有して並設された他方導電型の複数個の第3の半導体領域を有する半導体基体と、半導体基体の一方の主表面上に設けられ、第1の半導体領域との界面でショットキー接合を形成し、第3の半導体領域にオーミック接觸する第1の主電極と、半導体基体の他方の主表面において第2の半導体領域にオーミック接觸する第2の主電極とを具備し、第3の半導体領域相互間の間隔をW、その深さをD、第1の半導体領域と第3の半導体領域との間に形成されるp-n接合の拡散電位によって第1の半導体領域側に拡がる空乏層の幅をw。としたとき、 $2w < W \leq 3D$ の関係を有する点にある。複数個の第3の半導体領域はストライプ形状及び多角形形状又は相互に連結されたストライプ形状及び多角形形状並びにこれらの変形が考えられる。また、第1の主電極は第1の半導体領域と

では、後述する理由から逆方向リーク電流を低減することが困難であった。このため、電気装置及び電子装置の電源部に公知の半導体整流ダイオードを使用する限り、電源部での損失が多く装置の損失低減が困難ないという欠点があつた。また、電源部の損失が多いということは電源部での発熱が多いことを意味し、この結果大きい冷却手段を必要とし装置の小型化が困難ないという欠点があつた。

本発明の目的は、上述の欠点を解消した半導体整流ダイオード及びそれを用了した電源装置並びに電子計算機を提供するにある。

本発明の目的を具体的に言えば、低損失の半導体整流ダイオード及びそれを用了することによって損失の低減と小型化を図った電源装置並びに電子計算機を提供するにある。

〔課題を解決するための手段〕

本発明半導体整流ダイオードの特徴とするとところは、一对の主表面間に一方の主表面に隣接する一方導電型の第1の半導体領域、他方の主表面及

の界面で单一の金属又はバリアハイドの異なる複数の金属から構成することができる。

次に、本発明電源装置の特徴とするとところは、直流電源に接続される一对の入力端子と、負荷に接続される一对の出力端子と、直列接続して入力端子間に接続された第1及び第2の分割用コンデンサと、直列接続して入力端子間に接続された交互にスイッチング動作をする第1及び第2のスイッチング素子と、第1及び第2の分割用コンデンサの接続点と第1及び第2のスイッチング素子の接続点との間に一次巻線が接続され、出力端子の一方側に二次巻線の中点が接続された変圧器と、変圧器の二次巻線の両端と出力端子の他方との間に整流方向を揃えて接続した第1及び第2のダイオードとを具備し、第1及び第2のダイオードとして本発明半導体整流ダイオードを用いた点にある。

また、本発明電子計算機の特徴とするとところは、入力端子が商用電源に接続されるAC・DCコンバータと、AC・DCコンバータの出力端子に接

続され、AC・DCコンバータの直流出力を所望の直流電圧に変換するDC・DCコンバータと、DC・DCコンバータの出力端子に接続された論理装置とを具備し、DC・DCコンバータとして本発明電源装置を用いた点にある。

〔作用〕

ショットキー接合部における逆方向リーク電流密度 J_R は次式(1)で表わされることが知られている。

$$J_R = A^* \cdot T^2 \cdot \exp \left[-\frac{q}{k_B \cdot T} \left(\varphi_{B0} - \sqrt{\frac{q}{4\pi \cdot \epsilon_s}} \cdot E_s^{1/2} - \alpha \cdot E_s \right) \right] \quad \cdots (1)$$

ここで、 A^* はリチャードソン定数、 T は絶対温度 (K)、 q は素電荷量、 k_B はボルツマン定数、 φ_{B0} はバリアハイド (V)、 ϵ_s は半導体の誘電率、 E_s はショットキー接合の半導体側での表面電界強度、 α は経験的に与えられるパラメータである。式(1)の小括弧内を見ると電界強度 E_s が大きくなると小括弧内の値即ちバリアハイドが低下し、式(1)で表わされる逆方向リーク電

流は増加することがわかる。

本発明の半導体整流ダイオードでは、第3半導体領域相互間の間隔即ちショットキー接合の幅を W 、第3の半導体領域の深さを D 、第1の半導体領域と第3の半導体領域との間に形成されるpn接合の正偏電位によって第1の半導体領域側にかかる空乏層の幅を w としたとき、

$$2w < W \leq 3D$$

の関係を有するように構成することにより、ショットキー接合の半導体側での表面電界強度を大幅低減を図り、逆方向リーク電流を大幅に低減し、低損失化を達成するものである。

本発明の半導体整流ダイオードの低損失化が達成されることにより、それを使用した電源装置及び電子計算機の小形化及び高効率化が図れるのである。

〔実施例〕

以下、本発明を実施例として示した図面を用いて詳細に説明する。

第1図は本発明半導体整流ダイオードの一実施

例を示す要部斜視図である。図において、1は互いに反対側に位置する一対の主表面11、12を有する半導体基体で、一対の主表面間に一方の主表面11に隣接するn型の第1の半導体領域13と、他方の主表面12及び第1の半導体領域13に隣接し、第1の半導体領域より高不純物濃度を有するn+型の第2の半導体領域14と、一方の主表面11から第1の半導体領域13内に延在し、一方の主表面11側から見たときストライブ形状を有しその長手方向を横え相互に所定の間隔を有して並設され、第1の半導体領域13より高不純物濃度を有するp+型の複数個の第3の半導体領域15と、一方の主表面11から第1の半導体領域13内に延在し、一方の主表面11側から見たとき現状で第3の半導体領域15群を所定の間隔を有して包囲し、第1の半導体領域13より高不純物濃度を有するp+型の第4の半導体領域16とを具備している。2は半導体基体1の一方の主表面11上に設けられ、第1の半導体領域13との界面でショットキー接合を形成し、第3の半導

体領域15及び第4の半導体領域16の内周側部分にオーミック接觸する第1の主電極、3は半導体基体1の他方の主表面12において第2の半導体領域14にオーミック接觸する第2の主電極、4は半導体基体1の一方の主表面11の周縁部において第4の半導体領域16の外周側部分及びその外周側に露出する第1の半導体領域13上に設けたSiO₂、PSGなどの絶縁膜で、この絶縁膜4上に第1の主電極2の一部が延在している。第1の主電極2は第1の半導体領域13の多數キヤリアである電子に対してバリアを形成する電極材料、例えばMo、Tiなどの金属及びこれら金属のシリサイド、更には金属やその他の不純物を含む多結晶シリコン又はアモルファスシリコンが使用される。

この実施例において重要な点は、第3の半導体領域15相互間の間隔を W 、第3の半導体領域15の深さを D 、第1の半導体領域13と第3の半導体領域15との間に形成されるpn接合Jの正偏電位によって第1の半導体領域13側にかかる

る空乏層の幅を w としたとき、 $2w < W \leq 3D$ の関係を満すように第3の半導体領域15を形成していることである。以下、このように形成する理由について説明する。

第2図は第1図の半導体整流ダイオードの一部拡大断面図で、第2図(a)は第2の主電極3が正電位、第1の主電極2が負電位となる逆バイアス状態を、第2図(b)は第1の主電極2が正電位、第2の主電極が負電位となる順バイアス状態をそれぞれ示している。第2図(a)の逆バイアス状態においては、pn接合Jから第1の半導体領域13内に拡がる空乏層は第3の半導体領域15相互間を埋め尽し破線51で示すように第2の半導体領域14近傍まで伸びている。この時、流れる逆方向リーク電流はpn接合部を通るものとショットキー接合部を通るものとに分けられるが、支配的なのは後者である。ショットキー接合部を流れる逆方向リーク電流は、前述のようにこの部分の電界強度に大きく依存する。第3図(a)及び(b)は、第3の半導体領域15の深さDを

$1\mu m$ 、第1の半導体領域13の深さを $2.5\mu m$ 、不純物濃度を $1 \times 10^{16} \text{ atomic/cm}^3$ 、第1の主電極をバナジウム、逆バイアス電圧を $40V$ としたときのショットキー接合部の各位置における電界強度E、及び逆方向リーク電流密度 J_n の関係を第3の半導体領域15相互間の間隔Wをパラメータにして示したものである。この図から、Wが $10D$ のときには電界強度は広い範囲で $3.5 \times 10^8 V/cm$ を示し、Wが $5D$ のときにもピークの電界強度は $3.5 \times 10^8 V/cm$ に近い値を示しているが、Wが $3D$ になるとピークの電界強度が $2.7 \times 10^8 V/cm$ と 20% 余り低下している。これを逆方向リーク電流密度 J_n で見ると、W=10Dのときは広範囲で $1.1 A/cm^2$ 、W=5Dのときはピーク値で $0.9 A/cm^2$ 、W=3Dになるとピーク値で $0.4 A/cm^2$ と 50% 以上の大幅減少となっている。Wが小さくなるとある値から急激に電界強度Eが低下する理由は、pn接合及びショットキー接合に沿って存在する等電位線が、Wが小さくなるとpn接合に沿う等電位線例

に強られてショットキー接合に沿わなくなるためと考えられる。また、逆方向リーク電流が電界強度の減少に指数関数的に比例して減少する理由は前述の式(1)から理解できる。第4図はショットキー接合部の幅Wとその中心部におけるリーク電流密度との関係を第3の半導体領域15の深さDを変えて示したもので、W $\leq 3D$ に相当する箇所でリーク電流が著しく減少していることがわかる。

一方、第2図(b)の順バイアス状態においては、pn接合Jの拡散電位によって第1の半導体領域13側に幅 w だけ空乏層52が拡がり、ショットキー接合の幅Wのうち $W - 2w$ が順方向電流の通路に寄与する。このため幅Wが $2w$ に近づくに従つて順方向電流の通路が次第に狭くなり順方向電圧降下 V_F が増加して来る。W=2wになる理論上順方向電流の通路はなくなり、順方向電圧降下が急増することになる。第5図はショットキー接合の幅Wと順方向電流密度 J_F が $60 A/cm^2$ のときの順方向電圧降下 V_F との関係を第3の半導体領域15の深さDを変えて

示したもので、W $> 2w$ とすることで順方向電圧降下 V_F の値を小さくできることが理解される。尚、 w は第1の半導体領域13の不純物濃度 $1 \times 10^{16} \text{ atomic/cm}^3$ 、第3の半導体領域15の不純物濃度 $1 \times 10^{16} \text{ atomic/cm}^3$ のとき $0.34 \mu m$ で、この値は順方向電流が流れている時には電圧降下によって補償されて値が減少する。

第6図は第4図及び第5図の結果に基づいて、単位面積当りの損失電力P(W/cm²)とショットキー接合の幅Wとの関係を計算により求めたもので、 $2w < W \leq 3D$ の範囲で損失が著しく少なくなることが理解される。

以上の説明からわかるように、第1図に示す構造とすることにより低損失の半導体整流ダイオードを実現することができる。本発明によれば低損失化という効果の他に、特定のバリアハイドを有する材料で第1の主電極2を形成しても任意のバリアハイドに相当する特性を実現できるという効果を有する。これを第7図を用いて説明する。

第7図は第1の主電極2の材料を変えたとき得

られるショットキー接合ダイオードの順方向電圧降下と逆方向リーキ電流密度との関係を示している。一点鋼線は单一の材料を変えたときに得られる特性で、この線上に T₁, V, M₀ を使ったときの特性を○印で示してある。これら各○印相互間の特性が要求された場合、従来は所望の特性の両側に位置する 2 種類の材料を組合せることによって実現していたが、この方法では 2 種類の材料を使うため製造上種々の問題を有していた。これに対し、本発明のように第 3 の半導体領域を設けてショットキー接合の幅を変えれば、第 7 図の実験に示すように連続的に特性を変えることができる。单一材料であることから従来技術のような問題がなく、かつ従来技術で得られる特性よりも順方向電圧降下を同一とすれば逆方向リーキ電流が小さくなり、逆方向リーキ電流を同一とすれば順方向電圧降下を小さくでき、優れた特性が得られるのである。

尚、第 1 図の第 4 の半導体領域 16 はガードリングとしての機能を有するものであるが、第 3 の

半導体領域 15 との間に存在するショットキー接合の幅を本発明の目的を実するように形成してもよい。

第 8 図は本発明の別の実施例で、第 1 図の実施例とは第 3 の半導体領域 15 の一方の主表面 11 側に凹部 17 が形成されている点で異なっている。第 3 の半導体領域 15 は、半導体基体 1 の一方の主表面 11 に所望の凹部 17 を形成した後、凹部 17 の表面から P 型不純物を拡散することにより形成することができる。このような形成法を採用すれば、第 1 図において第 3 の半導体領域 15 を拡散で形成する場合に比較して、順方向電流の通流に寄与しない第 3 の半導体領域 15 の一方の主表面 11 に占める割合を大幅に低減でき、チップサイズの縮小が図れる効果を有する。

第 9 図は本発明の更に別の実施例で、第 8 図の実施例とは凹部 17 内に導電材 6 が埋設されている点で相違している。導電材 6 としては、ポリシリコン、金属が使用される。この実施例によれば一方の主表面 11 が平坦面となるため、第 8 図の

実施例に比較して第 1 の主電極 2 の断線がなくなる利点を有している。

第 10 図は本発明の異なる実施例で、第 1 の主電極 2 をバリアハイトの異なる材料 21, 22 で形成している。バリアハイトの異なる材料 21, 22 としては、例えば M₀ と T₁ が使用される。両材料の組合せ方としては、材料 21 と材料 22 とを交互に配置する方法 (a) と、部分的材料 22 を設け、その上全面に材料 21 を配置する方法 (b) とが考えられる。このようにすれば、单一の材料を使用する場合に比較して、所望の特性特に順方向電圧降下を得るのが容易となる利点を有する。

第 11 図は本発明の更に異なる実施例を一方の主表面 11 側から見たパターン図で示している。(a) 及び (b) は第 3 の半導体領域 15 を多数個の矩形状及び円形状にした場合を示している。これらは、第 3 の半導体領域 15 をストライプ状にする場合に比較して通流面積を広くできる利点を有している。(c), (d) 及び (e) は、第 3 の

半導体領域 15 を一体に形成し、ストライプ状、矩形状、円形状の欠如部を多数個設け、その欠如部に第 1 の半導体領域 13 を露出させた構成となっている。

第 12 図は本発明の他の実施例で、これまでの実施例と相違するところは、第 1 の半導体領域 13 に隣接してそれより低不純物濃度を有する n- 型の第 5 の半導体領域 18 を第 3 の半導体領域 15 相互間に設けた点にある。第 5 の半導体領域 18 は第 1 の半導体領域 15 上に比べて空乏層が拡がり易く、逆方向リーキ電流の低減が一層図れる利点がある。第 12 図 (a) は第 5 の半導体領域 18 を第 3 の半導体領域 15 相互間全体に設けた場合、第 12 図 (b) は第 5 の半導体領域 18 をショットキー接合に隣接する個所のみに設けた場合、第 12 図 (c) は第 5 の半導体領域 18 をショットキー接合から離れた個所に設けた場合をそれぞれ示している。第 12 図 (a) ではショットキー接合部の電界強度をより一層低減する効果があり、第 12 図 (b) 及び (c) では第

12回(4)よりも順方向電圧降下を小さくする効果がある。

以上は本発明半導体整流ダイオードを代表的な実施例を用いて説明したが、本発明はこれらに限定されるものではなく本発明の技術思想の範囲内で種々の変更が可能である。

上述の本発明半導体整流ダイオードを電源装置及びそれを使った電子計算機に適用することによつて、これらの機器の小型軽量化、高効率化を図ることができる。以下、これらについて説明する。

第13図は本発明電源装置の一実施例であるDC・DCコンバータの回路構成である。DC・DCコンバータとは、電子機器等の負荷に安定な直流電圧を供給するように、入力の直流電力を出力の直流電力へ電力変換するスイッチング電源である。同図のDC・DCコンバータは、ハーフブリッジ方式のものである。図において、701及び702は直流電源703に接続される一对の入力端子、704及び705は負荷706に接続される一对の出力端子、707及び708は直列接

続して入力端子701、702間に接続された第1及び第2の電源電圧分割用コンデンサ、709及び710は直列接続して入力端子701、702間に接続され交互ヒスイツチング動作をする第1及び第2のスイッチング素子、711は第1及び第2の分割用コンデンサ707、708の接続点と第1及び第2のスイッチング素子709、710の接続点との間に一次巻線711-1が接続され、出力端子704に二次巻線711-2の中点が接続された変圧器、712及び713は二次巻線711-2両端にアノード側が接続され、カソード側が平滑用リクトル714を介して出力端子705に接続された第1及び第2のダイオード、715は出力端子704、705間に接続された平滑用コンデンサである。このDC・DCコンバータでは交互にオン状態になる第1及び第2のスイッチング素子709、710のオン期間を可変にするパルス幅変調(PWM)によつて、入力電圧の変動あるいは負荷電流の変動に対して負荷706へ供給する出力電圧を一定の値に制御して

いる。

このDC・DCコンバータにおいて、第1及び第2のダイオード712及び713で発生する損失電力 P_d は、次式(2)で与えられる。

$$P_d = V_F I_o + 2 I_R V_i \frac{N_2}{N_1} D_{on} \quad \cdots (2)$$

ここで、

V_F : ダイオードのオン電圧

I_o : 負荷電流

I_R : ダイオードの逆方向リーキ電流

V_i : 分割用コンデンサ707、708の電圧

N_1 : 変圧器の一次巻線の巻数

N_2 : 変圧器の二次巻線の巻数

D_{on} : スイッチング素子709、710のオン時比率

式(2)において、第1項は順電流による損失電力、第2項は逆電流による損失電力である。入力電圧 V_i の変動に対して出力電圧を一定に調整するには、式(3)の関係を満たすように D_{on} を制

御する必要がある。

$$V_o + V_p = V_i \frac{N_2}{N_1} D_{on} \quad \cdots (3)$$

ここで、 V_o : 出力電圧

式(3)を式(2)へ代入し、 $V_i D_{on}$ の後の項を消去すれば、式(4)が得られる。

$$P_d = V_F V_o + 2 I_R (V_o + V_p) \quad \cdots (4)$$

ところで、ショットキー接合を有するダイオードは、次式(5)でおおよそ規定される V_F と I_R の組合せを有するシリーズ化されたダイオードが実現できる。

$$I_R I_R = a (V_F + b) \quad \cdots (5)$$

ここで、

a : 負の定数パラメータ

b : 定数パラメータ

DC・DCコンバータの仕様により出力電圧 V_o と負荷電流 I_o が定まれば、これらのシリーズ化されたダイオードの中で、式(4)で示される電力損失を最小にするダイオードが存在する。このダイオードを用いることによりDC・DCコン

パートの小形軽量化、高効率化を最も図ることができる。本発明の半導体整流ダイオードは、式(5)の b をより小さな値に改善したものであり、これを DC・DC コンバータのダイオードに用いることによって、ダイオードの損失電力の一層の低減を実現することができる。

上記の議論を単純にするために、電力損失 P_d はほとんど順方向電流による電力損失で与えられ、また、回路損失は整流ダイオードでのみ発生すると仮定する。整流ダイオードでの損失電力 P_d と効率 η は、それぞれ次式(6)、(7)で与えられる。

$$P_d = V_r I_o \quad \dots (6)$$

$$\eta = \frac{V_o I_o}{V_o I_o + V_r I_o} = \frac{1}{1 + V_r / I_o} \quad \dots (7)$$

ここで、出力電圧が 5V 以下の低電圧大電流出力 DC・DC コンバータとして、3V, 600A 出力のものを考える。そして、本発明によりバリアメタルと形状の最適化を図り V_r を従来の 0.55V から 0.35V に低減できたとする。この場合、従来と本発明の半導体整流ダイオードを用いた場合の損失と効率は、次のようになる。

1) 従来のダイオードを用いた場合

$$\text{損失電力} = 330W, \text{効率} 84.5\%$$

2) 本発明の半導体整流ダイオードを用いた場合

$$\text{損失電力} = 210W, \text{効率} 89.6\%$$

一般に、低電圧大電流出力の DC・DC コンバータの場合、その体積は、直方体の底面積が整流ダイオードで発生する熱を放熱するための冷却ファンで決まるので、損失電力にはほぼ比例する。したがつて、本発明の半導体整流ダイオードを DC・DC コンバータの二次側ダイオードに用いることによって、体積は 36% も減少、効率は 5% も向上し、DC・DC コンバータの小形軽量化、高効率化を図ることができる。この効果は、低電圧大電流出力になる程、大きくなる。なお、この効果は、第 13 図に示したハーフブリッジ方式以外の低電圧大電流出力の DC-DC コンバータでも生じる。

第 14 図は本発明電子計算機の一実施例の回路構成を示している。低電圧大電流出力の DC・

DC コンバータの応用例の代表的なものが電子計算機である。電子計算機は、入力端子 801-1, 801-2 及び出力端子 801-3, 801-4 を有し、入力端子 801-1, 801-2 が商用電源に接続される AC・DC コンバータ 801 と、入力端子 802-1, 802-2 及び出力端子 802-3, 802-4 を有し、入力端子 802-1, 802-2 が AC・DC コンバータ 801 の出力端子 801-3, 801-4 に接続される DC・DC コンバータ 802 と、DC・DC コンバータ 802 の出力端子 802-3, 802-4 に接続される論理装置 803 とから構成されている。AC・DC コンバータ 801 としては、ダイオードブリッジの整流回路と平滑回路からなる簡単なものから、位相制御を行うサイリスタブリッジの整流回路と平滑回路からなるものが使用される。DC・DC コンバータ 802 としては、第 13 図に示したもの用いることによって、電子計算機の小形軽量化、高効率化を図ることができる。

〔発明の効果〕

以上述べたように、本発明半導体整流ダイオードは、順方向電圧降下と逆方向リーク電流密度とで表現されるダイオード特性のトレードオフ関係を向上させることができ、電力損失の小さい優れた特性を実現することができる。また、本発明半導体整流ダイオードを電源装置に使用すると電力損失が大幅に低減され、装置の小形軽量化及び高効率化を図ることができる。更に、本発明の電源装置を電子計算機の電源部に適用すると上記と同理由により、小形軽量化及び高効率化を図ることができる。

4. 図面の簡単な説明

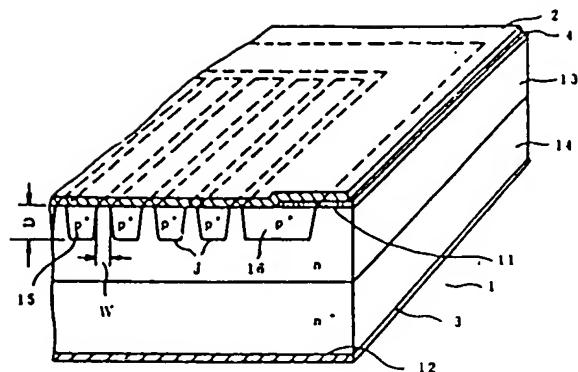
第 1 図は本発明半導体整流ダイオードの一実施例を示す斜視図、第 2 図は第 1 図のダイオードの作用を説明するための一部拡大断面図、第 3 図は W と E 及び J_n との関係を示す特性図、第 4 図は W と J_n の関係を示す特性図、第 5 図は W と V_r との関係を示す特性図、第 6 図は W と P との関係を示す特性図、第 7 図は V_r と J_n との関係

を示す特性図、第8図、第9図、第10図、第11図及び第12図は本発明半導体整流ダイオードの他の実施例を示す概略図、第13図は本発明電源装置の一次実例を示す回路図、第14図は本発明電子計算機の一次実例を示すプロック図である。

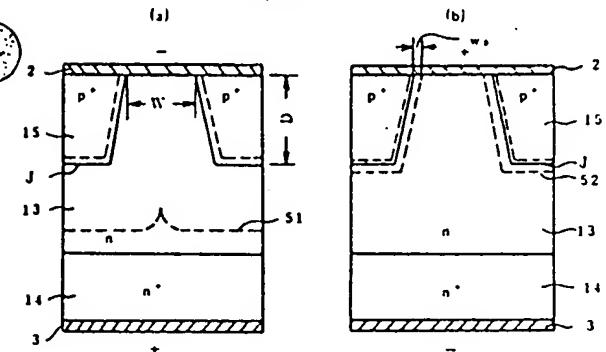
1…半導体基体、2、3…主電極、13…第1の半導体領域、14…第2の半導体領域、15…第3の半導体領域、707、708…分割用コンデンサ、709、710…スイッチング素子、711…変圧器、712、713…ダイオード、801…AC・DCコンバータ、802…DC・DCコンバータ、803…論理装置。

代理人 幹理士 小川勝男

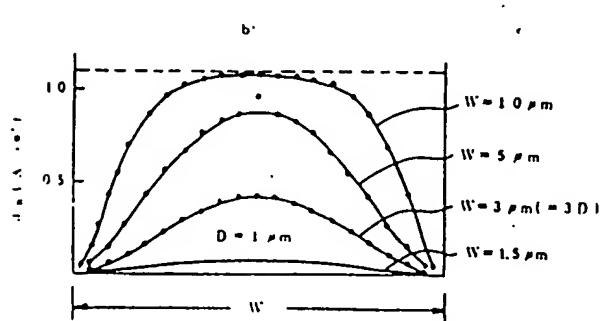
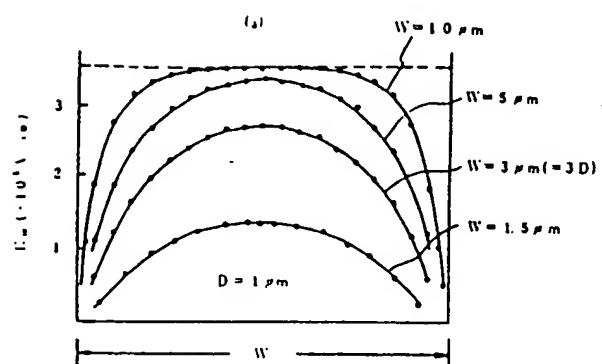
第1図



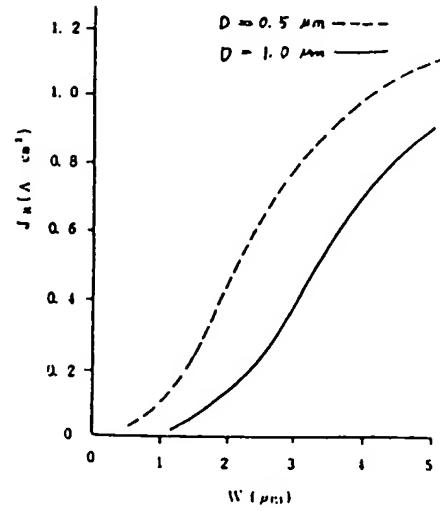
第2図



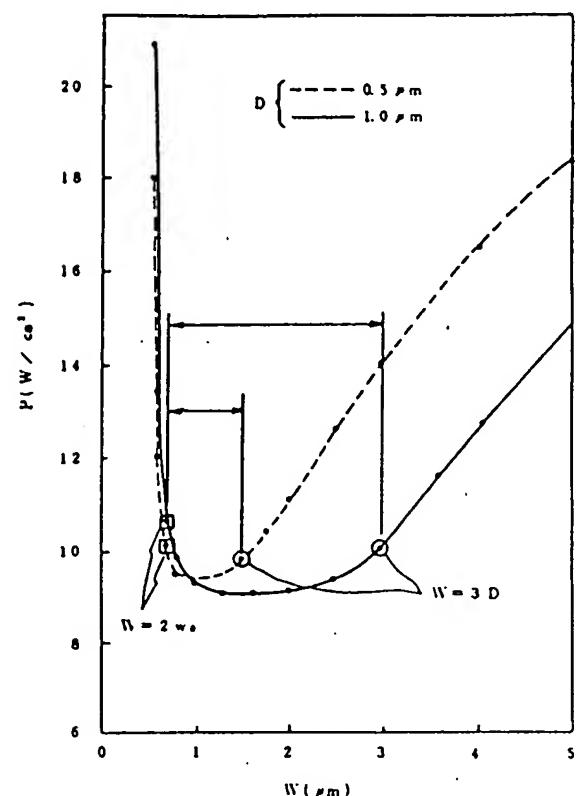
第3図



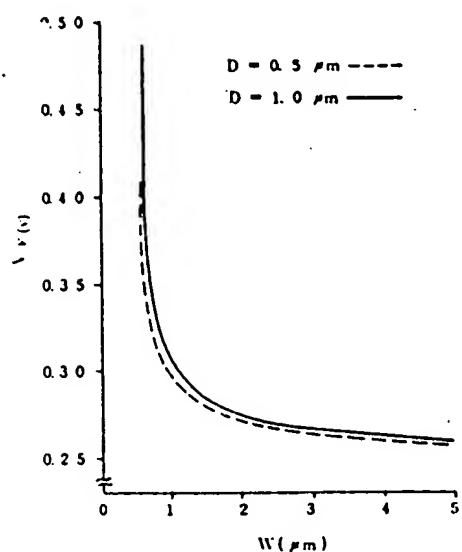
第4図



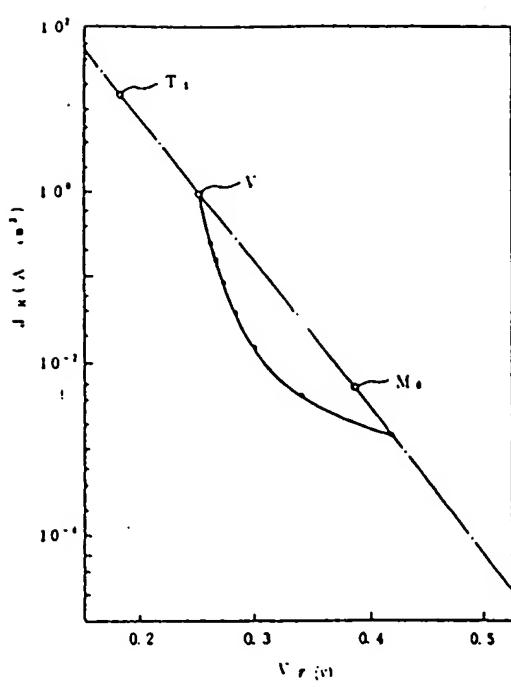
第 6 図



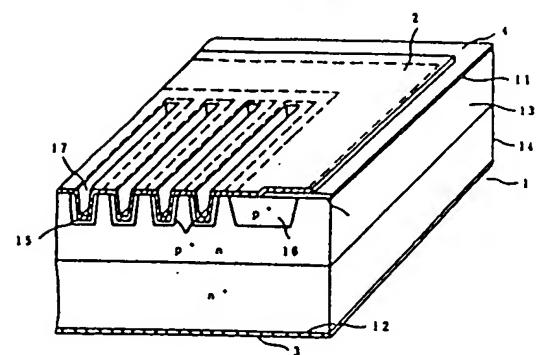
第 5 図



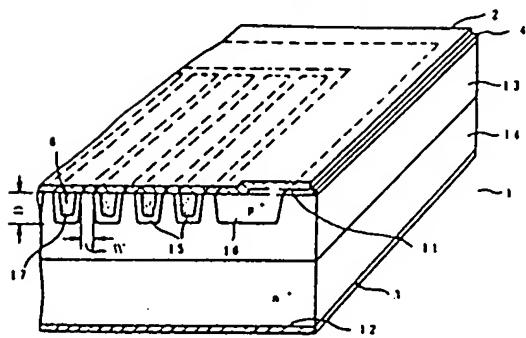
第 7 図



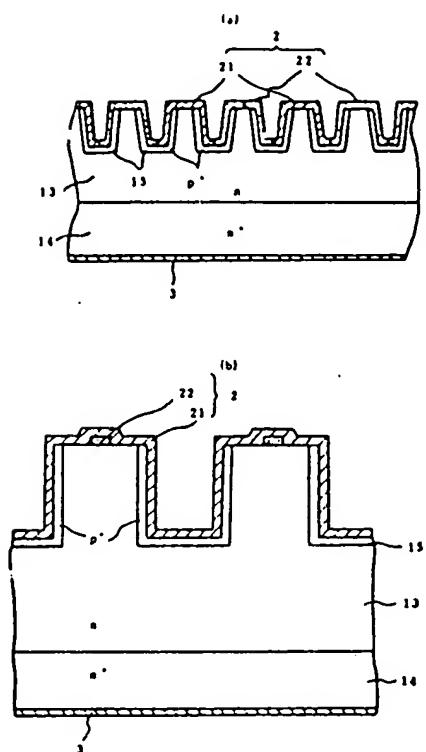
第 8 図



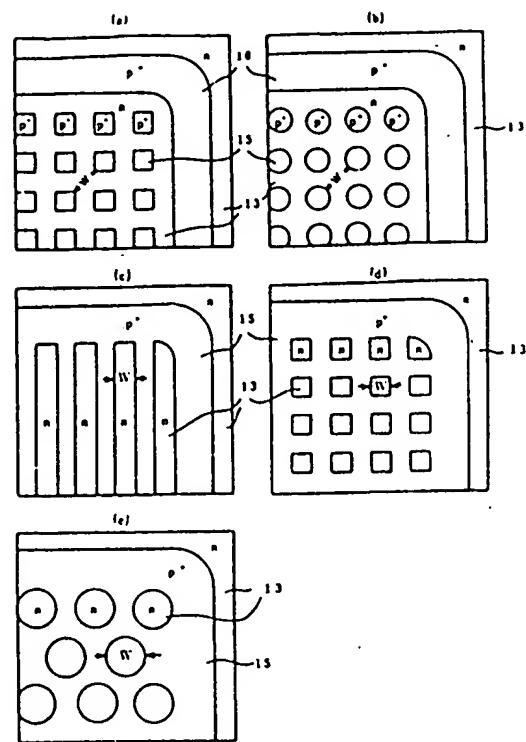
第 9 図



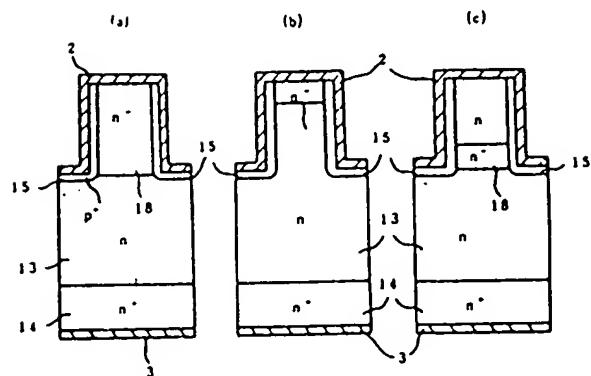
第10図



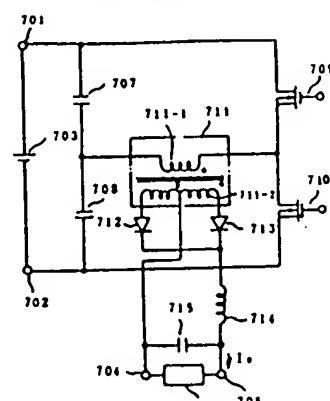
第11図



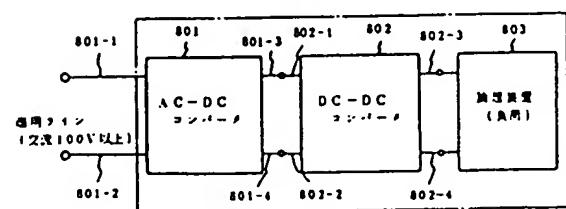
第12図



第13図



第14図



第1頁の続き
②発明者 河野直文 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川
工場内